

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-297401
(43)Date of publication of application : 10.11.1995

(51)Int.Cl. H01L 29/78
H01L 21/8238
H01L 27/092

(21)Application number : 07-120341 (71)Applicant : TEXAS INSTR INC <TD>
(22)Date of filing : 10.04.1995 (72)Inventor : MEI CHIA-CU P

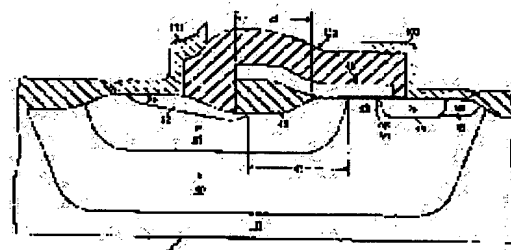
(30)Priority
Priority number : 94 224919 Priority date : 08.04.1994 Priority country : US

(54) EXTENDED DRAIN RESURF LATERAL DMOS ELEMENT AND ITS MANUFACTURE

(57)Abstract:

PURPOSE: To reduce the physical distance between a drain and a channel region, by removing a remaining width of a thick gate field oxide shape to be significantly smaller than the minimum growth shape dimension of the thick gate field oxide shape, and forming a drain in an exposed portion of a drift region.

CONSTITUTION: A field oxide 43 is masked and etched to form a partly omitted gate field oxide 43 which is smaller than the minimum growth shape dimension. A p+ impurity 42 is implanted into a drift region 41, thus forming a drain 42. A p+ impurity 44 is implanted into an n-well 40, thus forming an implantation source 44. The field oxide 43, having its end cut down, causes the drain 42 to be suitably inserted near a channel region 49. Thus, the physical distance between the drain and the channel region can be reduced.



LEGAL STATUS

[Date of request for examination] 01.11.2001
[Date of sending the examiner's decision of rejection]
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
[Date of final disposal for application]
[Patent number]
[Date of registration]
[Number of appeal against examiner's decision of rejection]
[Date of requesting appeal against examiner's decision of rejection]
[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-297401

(43) 公開日 平成7年(1995)11月10日

(51) Int. Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 29/78

21/8238

27/092

H 0 1 L 29/ 78

3 0 1 W

27/ 08

3 2 1 E

審査請求 未請求 請求項の数2 書面 (全 9 頁)

(21) 出願番号 特願平7-120341

(22) 出願日 平成7年(1995)4月10日

(31) 優先権主張番号 2 2 4 9 1 9

(32) 優先日 1994年4月8日

(33) 優先権主張国 米国 (US)

(71) 出願人 590000879

テキサス インスツルメンツ インコーポ
レイテッド

アメリカ合衆国テキサス州ダラス, ノース
セントラルエクスプレスウェイ 13500

(72) 発明者 チャー ク ピーター メイ

アメリカ合衆国テキサス州プラノ, ナイト
フォール ドライブ 4100

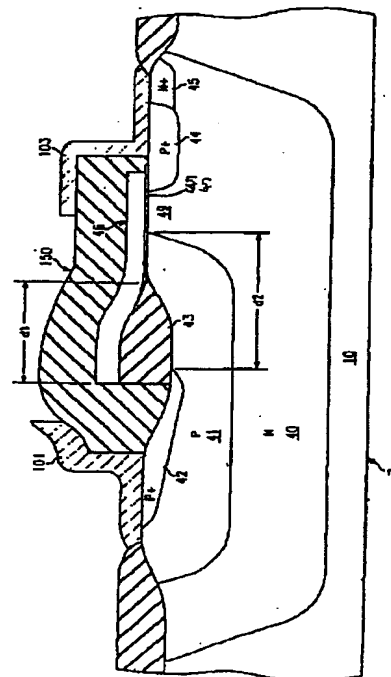
(74) 代理人 弁理士 浅村 皓 (外3名)

(54) 【発明の名称】 拡張ドレインRESURF横型DMOS素子並びに製造方法

(57) 【要約】

【目的】 高電圧MOSトランジスタ素子の導通時抵抗値を改善することを目的とする。

【構成】 MOSトランジスタ素子のゲートフィールド酸化物を切りつめ、ドレイン領域を可能な限りチャンネル領域に近づけて生成できるようにし、ドレインとソースとの間の距離を短くして導通時抵抗値を減少させる。



【特許請求の範囲】

【請求項 1】高電圧金属酸化物半導体、MOS、素子の製造方法であって：軽くドーピングされたドリフト領域を覆う厚いゲートフィールド酸化物形状を有し、該厚いゲートフィールド酸化物が前記ゲートフィールド酸化物形状を超えて広がる薄いゲート酸化物で覆われている、高電圧 MOS 素子を用意し；厚いゲートフィールド酸化物と覆っている薄いゲート酸化物の一部を、軽くドーピングされたドリフト領域の一部が曝し出され、厚いゲートフィールド酸化物形状の残された幅が、厚いゲートフィールド酸化物形状の最小成長形状寸法よりもかなり小さくなるように除去し；そして軽くドーピングされたドリフト領域の曝し出された部分にドレインを形成する、以上の手順を含む前記製造方法。

【請求項 2】高電圧金属酸化物半導体、MOS 素子であって：切りつめられた縁を有し軽くドーピングされたドリフト領域の上を覆い、厚いゲートフィールド酸化物形状の幅が厚いゲートフィールド酸化物形状の最小成長形状寸法よりもかなり小さくなるようになされている、厚いゲートフィールド酸化物形状を含む、前記高電圧 MOS 素子。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は半導体集積回路の分野であり、主として高電圧 CMOS 素子並びに製造方法に関する。

【0002】

【従来の技術】制御並びにドライバ機能と組み合わせられた集積回路は、しばしばスマートパワー素子と称される。スマートパワー素子は高い知的機能と低い電力消費とを結びつける。これらは典型的にパワー金属酸化半導体、MOS、電解効果トランジスタ、FET、とをそれらの出力段の中に有し、典型的には 5 ボルトまたはそれ未満のロジック電圧である、通常の相補金属酸化半導体、CMOS、とは反対に 15-18 ボルトのような高電圧で動作するように設計されており、また単独のチップ上にドライバ機能と制御機能とが具備されるように、同一の集積回路上に論理素子が組み込まれている。スマートパワー素子に関しては、液晶表示器、LCD、表示装置、電子／機械素子、自動車用電子機器、投影式テレビジョン、および高解像度、HDTV、の様な多くのアプリケーションが存在している。

【0003】高電圧、HV、MOS 素子を製造するための技術は論文名称”高電圧薄層素子 (RESURF 素子)” IEDM 会報、1979 年、頁 238-241 に記述されている。この技術は素子のドレインとチャンネル領域との間に、浅い軽くドーピングされた領域を使用する。この浅い軽くドーピングされた領域はドリフト領域と称されるが、それは少量の電流キャリア（電子または”ホール”であるキャリア）のためであり、これらは不純物

のドーピングが低レベルであるために利用可能であって、この素子は縮退表面電界、RESURF、素子として知られている。

【0004】RESURF 技術は高電圧 N チャンネル横型工重拡散 MOS、高電圧 NMOS、素子並びに、高電圧 P チャンネル横型二重拡散 MOS、高電圧 PMOS、素子を製造する際に使用されている。しかしながらこの様な RESURF 高電圧素子を含む、スマートパワー素子の設計並びに製造には問題が存在する。典型的には高電圧 PMOS 素子のドレイン、ソース間の導通時抵抗値は比較的高い。例えば文献名称”コプレーナ CMOS パワースイッチ” IEEE ジャーナル、固体回路、巻 SC-16、頁 212-226、1981 年 6 月に記述されている高電圧 PMOS 素子は、軽くドーピングされたピンチ抵抗値をドリフト領域として使用している。同様に、高電圧 NMOS 素子のドレイン、ソース間導通時抵抗値は半導体ドリフト領域の長さに依存する。

【0005】図 1 は従来からの方法で製造された高電圧 NMOS 素子 6 と高電圧 PMOS 素子 7 とを含む集積回路の断面図を図示する。NMOS 素子 6 はドリフト領域 21 をドレイン 22 とチャンネル領域 29 との間に有する。ゲートフィールド酸化物 23 がドレイン 22 に隣接したドリフト領域 21 の基板部を覆っている。素子 6 が導通になると、電流はドレイン 22 からチャンネル領域 29 にドリフト領域 21 を通って流れ、ドリフト領域 21 内に軽くドーピングされた n 型物質のバルク抵抗値が原因の抵抗値に直面する。このバルク抵抗値の値はドリフト領域 21 の長さ d_4 に比例する。長さ d_4 はフィールド酸化物 23 の長さ d_3 に依存するが、それはドリフト領域 21 がチャンネル領域 29 と接触する部分であるフィールド酸化物 23 の縁まで貫通していなければならないためである。ドリフト領域 21 のこのバルク抵抗値は素子 6 のドレイン、ソース間導通時全抵抗値、 $R_{ds(on)}$ 、のかかなりの割合となる。

【0006】さらに図 1 を参照すると、PMOS 素子 7 も同様にドリフト領域 41 をドレイン 42 とチャンネル領域 49 との間に有する。ゲートフィールド酸化物 43 がドレイン 42 に隣接したドリフト領域 41 の基板部を覆っている。素子 7 が導通になると、電流はドレイン 42 からチャンネル領域 49 にドリフト領域 41 を通って流れ、ドリフト領域 41 内に軽くドーピングされた p 型物質のバルク抵抗値が原因の抵抗値に直面する。このバルク抵抗値の値はドリフト領域 41 の長さ d_2 に比例する。長さ d_2 はフィールド酸化物 43 の長さ d_1 に依存するが、それはドリフト領域 41 がチャンネル領域 49 と接触する部分であるフィールド酸化物 43 の縁まで貫通していなければならないためである。ドリフト領域 41 のこのバルク抵抗値は素子 7 のドレイン、ソース間導通時全抵抗値、 $R_{ds(on)}$ 、のかかなりの割合となる。

【0007】従って、本発明の目的は、低い導通時抵抗

値を有する高電圧PMOS並びにNMOS素子を含むスマートパワー素子を製造するための簡単な方法を提供することである。

【0008】その他の目的並びに特長は当該技術分野で通常の技量を有する者には、以下の図面並びに仕様を参照することにより明らかとなろう。

【0009】

【発明の要約】本発明によれば高電圧MOS素子のRESURFドリフト領域を覆って成長されるゲートフィールド酸化物が省略されていて、その他の場合に可能であるよりもドレインをチャンネル領域に更に近くに形成できるようにしている。ドレインとチャンネル領域との間の物理的な距離を短くすることで、高電圧素子のドレイン、ソース間導通時抵抗値が小さくなり、これによって高電圧素子の性能が改善される。

【0010】

【実施例】本発明の提出された実施例を次に説明する。表Aは図中並びに以下の説明で使用される構成要素名と参照番号のリストを含み、一方、表Bは種々の構成要素の機能、特定の実施例および代わりの例を提供する。表A並びにBはここでも参照されており、本明細書の一部を構成する。

【0011】図2は本発明に基づき形成され、高電圧PMOS(HV PMOS)トランジスタ7を含む集積回路の断面図を示す。高電圧PMOS素子7は高電圧PMOS素子7を半導体基板10から絶縁するウェル40の内部に形成される。基板10は好適に比較的高い抵抗率、およそ $8 \sim 12 \text{ } \Omega \cdot \text{cm}$ を備えたn型シリコンである。

【0012】図2において、高電圧PMOS素子7はnウェル40内部に横たわるpタンク41を有する。pタンク41はRESURFドリフト領域を用意する。高電圧ドレイン42はpタンク41の内部に形成される。高電圧ソース44はnウェル40内部に形成され、pタンク41からチャンネル領域49によって分離されている。高電圧nウェル接続部45がnウェル40の内部に形成されている。高電圧ゲートフィールド酸化物43がドリフト領域pタンク41の部分を覆っている。ゲート酸化物47がチャンネル領域49並びにドリフト領域41を覆っており、高電圧ゲートフィールド酸化物43に接続している。高電圧ゲート電極46がゲート酸化物47とゲートフィールド酸化物43とを覆っている。ゲートフィールド酸化分43は切りつめられており、距離d1がゲートフィールド酸化物43を成長させるために使用されるプロセスでの、最小成長寸法よりも好適に小さくなるようにしている。ドレイン電極101がドレイン42に接続している。ソース電極103はソース44並びにウェル接続部45に接続している。内部レベル酸化物150がゲート電極46とドレイン電極101とソース電極103との間に存在する。内部レベル酸化物15

0は、ゲート電極46をドレイン電極101とソース電極103とから電氣的に絶縁している。

【0013】次に図3A～3Jには、図2と類似したトランジスタを形成するための提出された工程が説明されている。

【0014】図3Aはn型基板10を示しその上に、表面に窒化物層120が蒸着された第1酸化物層110が成長される。次に、窒化物層120はマスクをされてエッチングされる。

【0015】図3Bは打ち込み後のn型不純物40Aを示す。N型不純物40Aは例えば、砒素または磷が考えられる。フォトリソ130Bが不純物40Aが不必要に挿入されることを防止している。打ち込みは酸化物層110並びに窒化物層120を通して生じる。不純物40Aはタンク40を形成するために使用される。

【0016】図3Cは拡散ステップの結果を示し、これはn型不純物40Aに高電圧nウェル40を形成させる。拡散は不純物を基板10の内部、およそ8マイクロメータの深さまで浸透させる。およそ $1.5 \times 10^{16} / \text{cm}^3$ 程度のn型不純物濃度でnウェル40としては十分である。

【0017】図3Dは打ち込み後のp型打ち込み41Aを図示する。P型不純物41Aは例えば砒素が考えられる。フォトリソ130Dが不純物41Aが不必要に挿入されるのを防止する。不純物41Aはnウェル40内部に打ち込まれる。

【0018】図3Eは拡散ステップの結果を図示し、これは高電圧ドリフト領域pタンク41を形成する。ドリフト領域41の深さは1～2マイクロメータに制限されており、ソース、ドレイン電圧(V_{ds})が供給されたことに応答して、ドリフト領域41の中に空乏領域が形成された際に、結果として出来る電界が素子の表面に突き当たって、良く知られているRESURF素子の動作に従って、表面部での電圧傾斜を小さくするようにしている。およそ $8 \times 10^{16} / \text{cm}^3$ 程度のp型不純物濃度でドリフト領域pタンク41としては十分である。

【0019】図3Fはフィールド酸化物11とゲートフィールド酸化物43とを図示し、これは窒化物120で覆われていない領域の上に熱的に成長させられる。ゲートフィールド酸化物43の幅d5は、窒化物層120内の開口の寸法で決定される。幅d5の最小寸法は、一般的に、最小成長形状寸法と称され、窒化物層120の中に開口を形成するために使用された手順に依存する。この実施例では、窒化物の中に作ることの出来る最小寸法開口はおよそ1.5マイクロメータである。幅d5はおよそ3.0マイクロメータである。酸化物が成長した後、窒化物120は取り除かれる。ダミー酸化物140が次に露出された領域を覆って成長させられる。

【0020】図3Gは部分高電圧ゲート酸化物47Aを図示し、これは酸化物を素子の上に蒸着し、パターン化

し、そして酸化物層をエッチングすることで形成される。酸化物 47A の厚さは、以降の手順で追加される酸化物が組み合わされて、図 3I に図示する高電圧ゲート酸化物 47 の最終的な厚さとなるように選定される。部分高電圧ゲート酸化物 47A の厚さは、例えば 800 オングストロームである。

【0021】図 3H は薄い酸化物層 112 を図示しており、これは素子の上に酸化物を蒸着することで形成される。酸化物層 112 は図示されていない低電圧素子のゲート酸化物を形成しても良い。酸化物層 112 は部分ゲート酸化物 47A を覆っている。酸化物層 112 は例えば 350 オングストロームの厚さである。酸化物層 112 と部分ゲート酸化物 47A は共に図 3I に図示されるゲート酸化物 47 を構成する。

【0022】図 3I は、本発明に基づいてフィールド酸化物 43 をマスクングしかつエッチングした結果を図示しており、最小成長形状寸法よりも小さな、一部を省略されたゲートフィールド酸化物 43 を形成している。p+不純物 42 がドリフト領域 41 に打ち込まれてドレイン 42 を形成する。p+不純物 44 が n ウェル 40 に打ち込まれてソース 44 を形成する。フォトレジスト、図示せず、が不純物 42 並びに不純物 44 が不必要に挿入されるのを防止している。端を切りつめられたフィールド酸化物 43 はドレイン 42 が好適にチャンネル領域 49 の近くに挿入されることを可能とする。

【0023】図 3J において、多結晶シリコンが蒸着されかつエッチングされて高電圧ゲート電極 46 を形成する。高電圧 n+n ウェル接続部 45 が打ち込まれる。ドレイン 42、ソース 44 および接続部 45 は、ほぼ同じ深さとなるように拡散される。厚い酸化物層が素子の上に蒸着され、マスクしてエッチングされて内部レベル酸化物 150 を形成する。図 1 に図示する、ドレイン接点 101 並びにソース接点 103 は、例えば多結晶シリコンの様な導電性物質を素子の上に蒸着し、マスクしてエッチングすることにより形成されている。良く知られている手順を続けて集積回路を完成させる。

【0024】再び図 2 を参照すると、ゲートフィールド酸化物 43 が切りつめられる大きさは素子 7 で計画されている運転電圧に依存している。距離 d2 は十分長くして、ドレイン接点 101 とソース接点 103 の間に供給されるドレイン、ソース電圧 (V_{ds}) が RESURF ドリフト領域 41 内で電圧破壊を起こさないようにしなければならない。ドリフト領域 41 の破壊電圧は距離 d2 とドリフト領域 41 の不純物濃度とによって決定される。距離 d1 はドレイン 42 の横型拡散距離を考慮して選択され、距離 d1 は破壊を生じることなくドリフト領域 41 のバルク抵抗値を好適に最小とするように出来るだけ短くする。ドリフト領域 41 の不純物濃度は距離 d2 が最小となるように好適に選択される。

【0025】素子 7 の $R_{ds(on)}$ はドリフト領域 4

1 のバルク抵抗値とチャンネル 49 のバルク抵抗値とを構成する。ドリフト領域 41 のバルク抵抗値は素子 7 の $R_{ds(on)}$ のほとんど主要な部分を占める；ドリフト領域 41 のバルク抵抗値を最小化することは好適に $R_{ds(on)}$ を小さくすることである。例えばおよそ 30 ボルトの V_{ds} で動作するように定格されている PMOS 素子は距離 d1 がほぼ 1.4 マイクロメータそして距離 d2 がほぼ 2.2 マイクロメータで構成される。 $R_{ds(on)}$ はおよそ $1.8 \text{ m}\Omega \cdot \text{cm}^2$ である。従来技術である図 1 に図示される従来技術による素子 7 の距離 d1 はおよそ 3.0 マイクロメータ、そして距離 d2 はおよそ 3.8 マイクロメータである。従来技術による素子 7 の $R_{ds(on)}$ はおよそ $2.4 \text{ m}\Omega \cdot \text{cm}^2$ である。

【0026】一般的に、もしも従来技術による素子 7 の $R_{ds(on)}$ がチャンネル 49 の距離で支配されているのであれば、素子 7 の $R_{ds(on)}$ は従来技術による素子 7 の $R_{ds(on)}$ よりもおよそ 5% から 10% 低くなるはずである。もしも従来技術による素子 7 の $R_{ds(on)}$ がドリフト領域 41 のバルク抵抗値で支配されているのであれば、素子 7 の $R_{ds(on)}$ は従来技術による素子 7 の $R_{ds(on)}$ よりもおよそ 15% から 25% 低くなるはずである。

【0027】まだ図 2 を参照すると、拡張されたドレイン 42 は従来技術による素子 7 よりもドリフト領域 41 とより広い接触領域を有しており、これもまた好適に素子 7 の $R_{ds(on)}$ を減少させる。

【0028】本発明は、ほぼ 15 ボルトから 100 ボルトのドレイン、ソース電圧で動作するように設計されているスマートパワー素子の中で使用される、高電圧 PMOS および高電圧 NMOS トランジスタの多くの形式に対して好適に適用できる。本発明は、ほぼ 15 ボルトから 100 ボルトのドレイン、ソース電圧で動作するように設計されている、高電圧 PMOS および高電圧 NMOS 単体トランジスタの多くの形式に対して好適に適用できる。

【0029】本発明の別の特長は、より低い比 $R_{ds(on)}$ のために高電圧 MOS 素子がより小さく作れることである。これはより多くの高電圧 MOS 素子をひとつの集積回路上に配置することを、好適に可能とするであろう。

【0030】本発明の別の特長は、距離 d1 がより短いために高電圧 MOS 素子がより小さく作れることである。これはより多くの高電圧 MOS 素子をひとつの集積回路上に配置することを、好適に可能とするであろう。

【0031】本発明は好適に種々のトポロジー形状、例えば正形状ドリフト領域 41、または円形状ドリフト領域 41 を用いて好適に実施することができる。

【0032】本発明の別の特長は、これが追加のマスク手順を必要とせず、ほとんどの CMOS 並びに CMOS

10

20

30

40

50

／SOI製造工程に適用可能な点にある。

【0033】本発明の別の特長は、集積回路上のその他の種類の素子とは独立に高電圧素子の $R_{ds(on)}$ を最小化するように、高電圧素子の最適化を可能とする点である。

【0034】本発明を図示された実施例を参照して説明してきたが、この説明が制限的な意味合いで解釈されることを意図するものではない。本発明の種々のその他の実施例が、当業者にはこの説明を参照することによって明らかであろう。例えば、種々の構成要素のこれに代わる例の非排他的な組み合わせが表Bにあげられている。代替の実施例として、提出された実施例では素子はウェル40で絶縁されているので、NまたはPタイプいずれの基板10でも使用できよう。代替の実施例として、ゲート酸化物47を形成するために単一の酸化物蒸着が使用できよう。代替の実施例として、ウェル40の代わりに軽くドーブされたRESURF領域の下に、epi層または別の構造を使用できよう。

【0035】図3A～3Jは高電圧PMOS素子の構成を図示する。高電圧NMOS素子は図2並びに図3A～3Jの中で、p型不純物と示されている部分をn型不純物に置き換え、n型不純物と示されている部分をp型不純物に置き換えることにより、同様の手順で形成することができる。図2を参照すると、高電圧NMOS素子7のn+ドレイン42が、切りつめられたゲートフィールド酸化物43に隣接して、好適にチャンネル領域49の近くに存在する。

【0036】本発明は、図2に図示されるように単一ゲートフィールド酸化物43並びにソース44を有する、片面トランジスタとして実現することも、または複数のゲートフィールド酸化物43並びにソース44を有する、鏡像トランジスタとして実現することも可能である。

【0037】従って、添付の特許請求の範囲が従来技術から見て、この様な変化並びに変更が含まれるように、出来るだけ広く解釈されることを意図している。

【0038】以上の説明に関し更に以下の項を開示する。

(1) 高電圧金属酸化物半導体、MOS、素子の製造方法であって：軽くドーブされたドリフト領域を覆う厚いゲートフィールド酸化物形状を有し、該厚いゲートフィールド酸化物が前記ゲートフィールド酸化物形状を超えて広がる薄いゲート酸化物で覆われている、高電圧MOS素子を用意し；厚いゲートフィールド酸化物と覆っている薄いゲート酸化物の一部を、軽くドーブされたドリフト領域の一部が曝し出され、厚いゲートフィールド酸

化物形状の残された幅が、厚いゲートフィールド酸化物形状の最小成長形状寸法よりもかなり小さくなるように除去し；そして軽くドーブされたドリフト領域の曝し出された部分にドレインを形成する、以上の手順を含む前記製造方法。

【0039】(2) 第1項記載の方法において：高電圧MOS素子を用意する手順が、高電圧PMOS素子を用意する、前記方法。

【0040】(3) 第1項記載の方法において：高電圧MOS素子を用意する手順が、軽くドーブされたドリフト領域に隣接したチャンネル領域を有する素子を用意し；そして厚いゲートフィールド酸化物の一部を除去する手順が、軽くドーブされたドリフト領域の曝し出された部分がチャンネル領域から予め定められた距離となるように制御される、前記方法。

【0041】(4) 高電圧金属酸化物半導体、MOS素子であって：切りつめられた縁を有し軽くドーブされたドリフト領域の上を覆い、厚いゲートフィールド酸化物形状の幅が厚いゲートフィールド酸化物形状の最小成長形状寸法よりもかなり小さくなるようになされている、厚いゲートフィールド酸化物形状を含む、前記高電圧MOS素子。

【0042】(5) 第4項記載の高電圧MOS素子において：チャンネル領域が軽くドーブされた領域とソースとの間に存在し；そしてドレインがゲートフィールド酸化物の切りつめられた縁に近接して存在する、前記高電圧MOS素子。

【0043】(6) 第5項記載の高電圧MOS素子において：ドレインのチャンネル領域からの距離が、ソースとドレインとの間に供給される動作電圧がドリフト領域内での電圧破壊を生じるのを防止するために必要な最小距離にほぼ等しい、前記高電圧MOS素子。

【0044】(7) 第5項記載の高電圧MOS素子において：素子がPMOS素子である、前記高電圧MOS素子。

【0045】(8) 高電圧PMOSまたはNMOSTランジスタ7の導通時抵抗値が、ドレイン領域42が他の可能な方法よりもチャンネル領域49により近く打ち込めるように、ゲートフィールド酸化物43を切りつめることによって改善されている。ドレイン42とチャンネル領域49との間の物理的な距離d2を短くすることにより、高電圧素子のドレイン、ソース間の導通時抵抗値が減少され、これによって高電圧素子7の性能が改善される。

【0046】

【表1】

構成要素		Table A 表 A	
Element	Element Name (構成要素名称)		
6	HV NMOS transistor	高電圧NMOS トランジスタ	
7	HV PMOS transistor	高電圧PMOS トランジスタ	
10	semiconductive substrate	半導体基板	
20	HV p-well	高電圧 p ウェル	
21	HV drift region (n)-tank	高電圧ドリフト領域 (n)	タンク
22	HV n+ drain	高電圧 n+ ドレイン	
23	HV NMOS gate field oxide	高電圧 NMOS ゲートフィールド	酸化物
27	HV NMOS gate oxide	高電圧 NMOS ゲート酸化物	物
29	HV NMOS channel region	高電圧 NMOS チャンネル	領域
40	HV n-well	高電圧 n ウェル	
41	HV drift region (p)-tank	高電圧ドリフト領域 (p)	タンク
42	HV p+ drain	高電圧 p+ ドレイン	
43	HV PMOS gate field oxide	高電圧 PMOS ゲートフィールド	酸化物
44	HV p+ source	高電圧 p+ ソース	
45	HV n+ n-well contact region	高電圧 n ウェル接続領域	域
46	HV PMOS gate electrode	高電圧 PMOS ゲート電極	電極
47	HV PMOS gate oxide	高電圧 PMOS ゲート酸化物	物
49	HV PMOS channel region	高電圧 PMOS チャンネル	領域
101	HV drain electrode	高電圧ドレイン電極	
103	HV source electrode	高電圧ソース電極	
110	1st oxide	第1酸化物	
112	thin oxide	薄い酸化物	
120	nitride layer	窒化物層	
130	photoresist pattern	フォトリソist パターン	
140	dummy oxide	ダミー酸化物	
150	interlevel oxide	層間酸化物	

【0047】

【表2】

Table 2 表B			
Element 構成要素	Function 機能	Specific embodiment 45号の電圧例 高電圧PMOS 20V 例 高電圧NMOS rated breakdown = 30 V.	Alternate examples 例 KV breakdown = 例 approx 15 - 20 V. 例 approx 15 - 20 V.
10	foundation for active elements (活性要素の基板)	8-12 ohm-cm (n-) Si 8~12 ohm-cm (n-) シリコン	8-12 ohm-cm (p-) Si 8~12 ohm-cm (p-) シリコン
40	localized semiconductive substrate well	approx 1.5e16/cm ³ to 5e16/cm ³ approx 1.5e16/cm ³ to 5e16/cm ³ approx 1.5e16/cm ³ to 5e16/cm ³	approx 1.0e15 to 5.0e15/cm ³ approx 1.0e15 to 5.0e15/cm ³ approx 1.0e15 to 5.0e15/cm ³
41	reduce the surface field	approx 0.01e16/cm ³ to 0.1e16/cm ³ approx 0.01e16/cm ³ to 0.1e16/cm ³ approx 0.01e16/cm ³ to 0.1e16/cm ³	approx 0.1e15 to 1.0e15/cm ³ approx 0.1e15 to 1.0e15/cm ³ approx 0.1e15 to 1.0e15/cm ³
42	highly conductive drain contact region	approx 1.0e19/cm ³ to 1.5e19/cm ³ approx 1.0e19/cm ³ to 1.5e19/cm ³ approx 1.0e19/cm ³ to 1.5e19/cm ³	approx 1.0e19/cm ³ to 1.5e19/cm ³ approx 1.0e19/cm ³ to 1.5e19/cm ³ approx 1.0e19/cm ³ to 1.5e19/cm ³
43	insulate gate from drain and drift regions	thermal Si oxide, approx 9100 Å 熱酸化シリコン、約9100Å	
44	source region	approx 1.0e19/cm ³ to 1.5e19/cm ³ approx 1.0e19/cm ³ to 1.5e19/cm ³ approx 1.0e19/cm ³ to 1.5e19/cm ³	
45	highly conductive tank contact region	approx 1.0e19/cm ³ to 1.5e19/cm ³ approx 1.0e19/cm ³ to 1.5e19/cm ³ approx 1.0e19/cm ³ to 1.5e19/cm ³	
46	gate electrode	poly Si 多結晶シリコン	metal, such as Al, Cu アルミニウム、銅などの金属
47	insulate gate from channel region	deposited Si oxide, approx 1000 Å 堆積されたシリコン酸化物、約1000Å	
49	semiconductive region	formed (n) 形成 (n)	
101	drain electrode	poly Si 多結晶シリコン	a) metal, such as Al, Cu b) refractory metal silicide
103	source electrode	poly Si 多結晶シリコン	a) metal, such as Al, Cu b) refractory metal silicide
110	etch stop for nitride, protect crystal surface	thermal oxide, approx 400 Å 熱酸化シリコン、約400Å	耐熱性金属イテヤ
112	low voltage gate oxide, part of high voltage gate	deposited oxide, approx 350 Å 堆積された酸化物、約350Å	
120	mask for field oxide	deposited Si ₃ N ₄ , approx 1200 Å 堆積されたSi ₃ N ₄ 、約1200Å	
130	mask for implants		
140	protect crystal surface	thermal oxide, approx 400 Å 熱酸化シリコン、約400Å	
150	insulate level 1 interconnect from level 2	deposited SiO ₂ 堆積されたSiO ₂	

【図面の簡単な説明】

【図1】典型的な高電圧PMOS素子並びに高電圧NMOS素子を図示する、従来技術による集積回路の断面図。

【図2】本発明に基づき形成された高電圧PMOS素子並びに高電圧NMOS素子を図示する、集積回路の断面図

【図3】本発明に基づく図2と同様な高電圧素子を構成するための提案された方法を図示する、断面図。

【符号の説明】

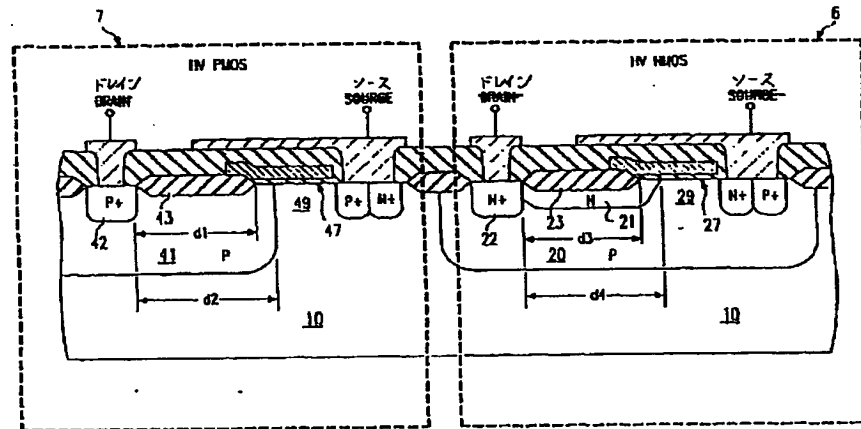
- 6 ... 高電圧NMOSトランジスタ
7 ... 高電圧PMOSトランジスタ
10 ... 半導体基板

- 20 ... 高電圧pウェル
21 ... 高電圧ドリフト領域 (n) タンク
22 ... 高電圧n+ドレイン
23 ... 高電圧NMOSゲートフィールド酸化物
27 ... 高電圧NMOSゲート酸化物
29 ... 高電圧NMOSチャンネル領域
40 ... 高電圧nウェル
41 ... 高電圧ドリフト領域 (p) タンク
42 ... 高電圧p+ドレイン
43 ... 高電圧PMOSゲートフィールド酸化物
44 ... 高電圧p+ソース
45 ... 高電圧nウェル接続領域
46 ... 高電圧PMOSゲート電極

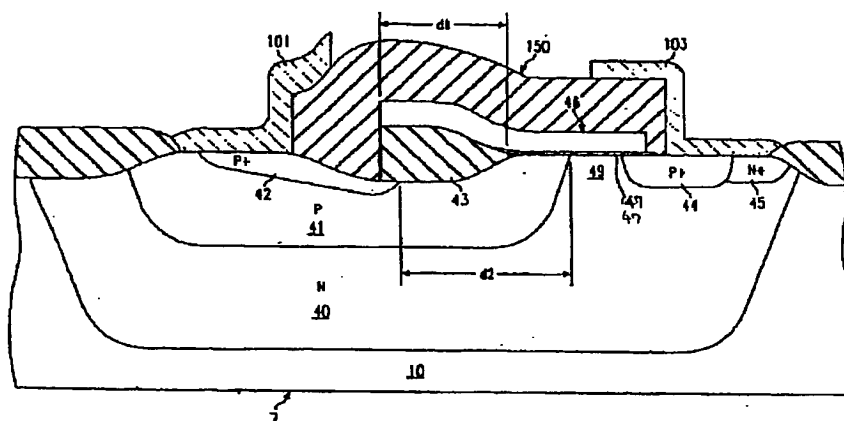
47 ... 高電圧PMOSゲート酸化物
 49 ... 高電圧PMOSチャンネル領域
 101 ... 高電圧ドレイン電極
 103 ... 高電圧ソース電極
 110 ... 第1酸化物

112 ... 薄い酸化物
 120 ... 窒化物層
 130 ... フォトリソグストパターン
 140 ... ダミー酸化物
 150 ... 層間酸化物

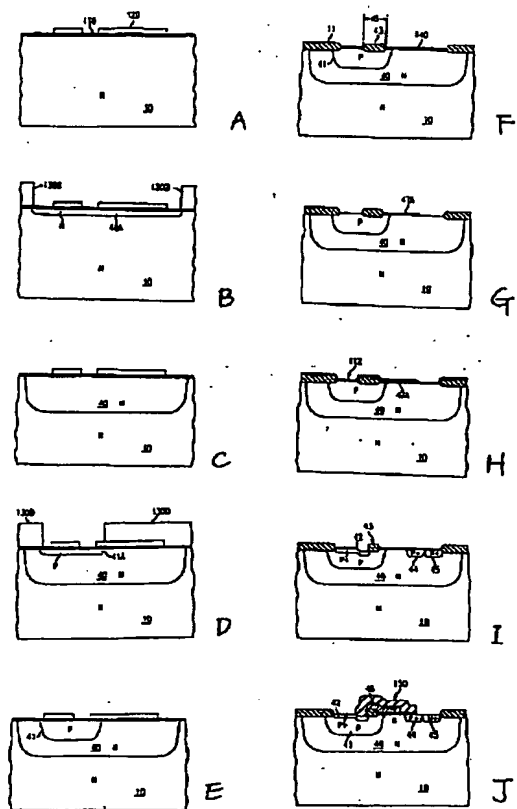
【図1】



【図2】



【図3】



THIS PAGE BLANK (USPTO)